
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACT

(11)Publication number: 1020030056382 A
(43)Date of publication of application: 04.07.2003

(21)Application number: 1020010086586	(71)Applicant: HYNIX SEMICONDUCTOR INC.
(22)Date of filing: 28.12.2001	(72)Inventor: KIM, SEONG RYONG
(51)Int. Cl. G11C 11/407	

(54) APPARATUS FOR DETECTING TEMPERATURE BY USING TEMPERATURE CHARACTERISTICS OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: An apparatus is provided to detect the temperature by using the temperature characteristics of a semiconductor device.

CONSTITUTION: An apparatus(300) for detecting the temperature by using the temperature characteristics of a semiconductor device includes a first power detection block(302), a second power detection block(304), a signal comparison block(306), a control block(308) and a latch block(310). In the apparatus(300), the first power detection block(302) detects the threshold voltage of a surface channel PMOS transistor and the second power detection block (304) detects the threshold voltage of the buried channel PMOS transistor. And, the signal comparison block(306) compares the size of the output signal of the first power detection block(302) with that of the second power detection block(304).

© KIPO 2003

Legal Status

Date of request for an examination (20011228)

Final disposal of an application (application)

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G11C 11/407

(11) 공개번호 특2003-0056382
(43) 공개일자 2003년07월04일

(21) 출원번호 10-2001-0086586
(22) 출원일자 2001년12월28일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김성룡
경기도이천시고담동72-1고담기숙사101동307호

(74) 대리인 강성배

심사청구 : 있음

(54) 반도체 소자의 온도 특성을 이용한 온도 검출 장치

요약

반도체 소자의 온도 특성을 이용하여 온도를 검출할 수 있는 장치가 개시된다. 본 발명에 의한 반도체 소자의 온도 특성을 이용한 온도 검출 장치는 표면 채널(surface channel) PMOS 트랜지스터의 임계 전압을 검출하는 제1 전원 검출부와, 매입(埋入) 채널(buried channel) PMOS 트랜지스터의 임계 전압을 검출하는 제2 전원 검출부와, 상기 제1 전원 검출부의 출력신호와 상기 제2 전원 검출부의 출력신호의 크기를 비교하는 신호 비교부를 포함하는 것을 특징으로 한다.

대표도

도 3

색인어

반도체, 온도, 매입 채널, 표면 채널, PMOS, 트랜지스터, 임계 전압

명세서

도면의 간단한 설명

도 1은 MOS 트랜지스터의 에너지 밴드 다이어그램.

도 2는 온도에 따른 표면 채널 PMOS 트랜지스터와 매입 채널 PMOS 트랜지스터의 특성 변화를 도시한 그래프.

도 3은 본 발명의 일 실시예에 의한 온도 검출 장치의 블록도.

도 4는 도 3의 제1 전원 검출부의 일 예의 회로도.

도 5는 도 3의 제2 전원 검출부의 일 예의 회로도.

도 6은 도 3의 제어부의 일 예의 회로도.

도 7은 도 6의 제어부의 신호 파형도.

도 8은 도 3의 신호 비교부의 일 예의 회로도.

도 9는 도 3의 래치부의 일 예의 회로도.

도 10은 도 3에 도시된 회로의 온도 변화에 따른 출력신호를 도시한 신호 파형도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 온도 검출 장치에 관한 것으로서, 특히 반도체 소자의 온도 특성을 이용한 온도 검출 장치에 관한 것이다. 본 발명은 특히 다이내믹 랜덤 액세스 메모리(dynamic random access memory : 이하, 'DRAM'이라고 함)의 온도를 검출하여 리프레쉬 주기를 변경시킴으로써 DRAM의 동작 전류를 감소시키는데 이용될 수 있다. 또한 온도 변화에 민감한 반도체 회로들을 제어하는데도 이용될 수 있다.

최근에 들어서 컴퓨터, 모바일 폰(mobile phone) 등 메모리의 다양한 응용분야에서 저전력 동작에 대한 요구가 증대되고 있다. 따라서 메모리의 동작 전류를 줄이기 위한 다양한 방법이 강구되고 있는 형편이다.

DRAM을 사용할 때 DRAM 셀은 그 특성상 주기적으로 리프레쉬를 해 주어야 한다. 그런데 셀프 리프레쉬 모드에서의 전류 소비는 셀프 리프레쉬 주기에 의해 크게 결정되며, 셀프 리프레쉬 주기를 결정하는 DRAM 셀의 데이터 보유 시간(data retention time)은 온도가 높으면 감소하는 특성을 가지고 있다. 그러므로 셀프 리프레쉬 주기는 높은 온도에서 데이터 보유 시간이 감소됨에 따라 제한된다. 따라서 정확한 온도를 검출하여 적절히 리프레쉬 주기를 변경할 수 있으면 DRAM의 동작 전류를 감소시킬 수 있게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 문제점을 해결하기 위하여 제안된 것으로서, 반도체 소자의 온도 특성을 이용하여 온도를 검출할 수 있는 장치를 제공하는 것을 일 목적으로 한다.

또한 본 발명은 DRAM에서 리프레쉬 주기를 조절하여 셀프 리프레쉬 모드의 동작 전류를 줄이기 위하여, DRAM의 온도를 측정하는데 필요한 온도 검출 장치를 제공하는 것을 다른 목적으로 한다.

발명의 구성 및 작용

이러한 목적을 이루기 위한 본 발명은 반도체 소자의 온도 특성을 이용한 온도 검출 장치에 있어서, 표면 채널(surface channel) PMOS 트랜지스터의 임계 전압을 검출하는 제1 전원 검출부와, 매입(埋入) 채널(buried channel) PMOS 트랜지스터의 임계 전압을 검출하는 제2 전원 검출부와, 상기 제1 전원 검출부의 출력신호와 상기 제2 전원 검출부의 출력신호의 크기를 비교하는 신호 비교부를 포함하는 것을 특징으로 한다.

제1 전원 검출부는 표면 채널 PMOS 트랜지스터로 구성된 제1 다이오드와, 외부로부터 인가되는 인에이블 신호에 의해 제어되어 전원전압을 상기 제1 다이오드의 애노드로 제공하는 제1 스위치와, 상기 제1 다이오드의 캐소드와 접지 사이에 연결되는 제1 저항을 구비하여 구성될 수 있는데, 이 때 상기 제1 전원 검출부의 출력신호는 상기 제1 다이오드의 캐소드의 전압신호이다. 제1 다이오드는 소오스가 상기 제1 스위치에 연결되고, 게이트와 드레인이 연결되며, 드레인은 상기 제1 저항에 연결되는 표면 채널 PMOS 트랜지스터로 구성될 수 있다. 제1 스위치는 소오스가 전원단자에 연결되어 있고, 게이트에 상기 외부 인에이블 신호가 입력되며, 드레인이 상기 제1 다이오드에 연결된다.

제2 전원 검출부는 매입 채널 PMOS 트랜지스터로 구성된 제2 다이오드와, 상기 외부 인에이블 신호에 의해 제어되어 전원전압을 상기 제2 다이오드의 애노드 로 제공하는 제2 스위치와, 상기 제2 다이오드의 캐소드와 접지 사이에 연결되는 제2 저항을 구비하여 구성될 수 있는데, 이 때 상기 제2 전원 검출부의 출력신호는 상기 제2 다이오드의 캐소드의 전압신호이다. 제2 다이오드는 소오스가 상기 제2 스위치에 연결되고, 게이트와 드레인이 연결되며, 드레인 은 상기 제2 저항에 연결되는 매입 채널 PMOS 트랜지스터로 구성될 수 있다. 제2 스위치는 소오스가 전원단자에 연결되어 있고, 게이트에 상기 외부 인에이블 신호가 입력되며, 드레인이 상기 제2 다이오드에 연결된다.

신호 비교부는 상기 제1 전원 검출부의 출력신호와 상기 제2 전원 검출부의 출력신호를 증폭하면서, 이 두 출력신호의 크기를 비교하는 것이 바람직하다. 또한 신호 비교부의 출력신호를 래치하는 신호 래치부를 더 구비하는 것이 바람직하다.

또한 외부 인에이블 신호의 활성화 구간의 초반부에 상기 신호 래치부를 리셋시키는 리셋 신호와, 후반부에 상기 신호 비교부를 인에이블시키는 비교부 인에이블 신호를 생성하는 제어부를 더 구비하는 것이 바람직하다. 제어부는 상기 외부 인에이블 신호를 반전시키는 제1 인버터와, 상기 제1 인버터의 출력신호를 소정 시간 지연시키는 지연소자와, 상기 지연소자의 출력신호를 반전시키는 제2 인버터와, 상기 제1 및 제2 인버터의 출력신호에 대해 NAND 연산을 수행하여 상기 리셋신호를 생성하는 제1 NAND 게이트와, 상기 제1 인버터의 출력신호와 상기 지연소자의 출력신호에 대해 NAND 연산을 수행하는 제2 NAND 게이트와, 상기 제2 NAND 게이트의 출력신호를 반전시켜서 상기 비교부 인에이블 신호를 생성하는 제3 인버터를 구비하여 구성될 수 있다.

이와 같은 구성의 본 발명에 의하면 반도체 소자의 특성을 이용하여 온도를 검출할 수 있게 된다. 또한 본 발명에 의하면 반도체 장치에 일체화될 수 있는 온도 검출기를 구현할 수 있다. 또한 DRAM에 적용되는 경우 셀프 리프레쉬 주기를 조절할 수 있게 됨으로 DRAM의 셀프 리프레쉬 모드에서 소비되는 전력을 저감시킬 수 있다.

이하, 첨부된 도면을 참조하여 본 발명의 일 실시예를 상세히 설명한다. 설명의 일관성을 위하여 도면에서 동일한 참조부호는 동일 또는 유사한 구성요소 및 신호를 가리키는 것으로 사용한다. 또한 노드와 그 노드에 걸리는 신호를 동일한 참조부호를 사용하여 표시한다.

NMOS 트랜지스터와 PMOS 트랜지스터 모두에 대해 게이트 전극을 N형 폴리 실리콘(poly_silicon)을 이용하는 CMOS에서 임계전압을 약 0.6 내지 0.8V 정도로 맞추기 위해, NMOS 트랜지스터와 PMOS 트랜지스터의 채널 농도를 붕소(boron)를 이용하여 조절하고 있다. 이에 따라 NMOS 트랜지스터는 채널이 표면 부분에 바로 형성되는 표면 채널(surface channel) 형태를 가지며, PMOS 트랜지스터는 채널이 표면 부분이 아닌 더 안에서 형성되는 매입 채널(buried channel) 형태를 가진다. 도 1은 MOS 트랜지스터의 에너지 밴드 다이어그램으로서, 도 1a는 일반적인 NMOS 트랜지스터의 경우이고, 도 1b는 매입(埋入) 채널 PMOS 트랜지스터의 경우이며, 도 1c는 표면 채널 PMOS 트랜지스터의 경우이다. 도 1에서, O 는 채널이 형성되는 영역을 가리킨다.

도 2는 온도에 따른 표면 채널 PMOS 트랜지스터와 매입 채널 PMOS 트랜지스터의 특성 변화를 도시한 그래프로서, 도 2a는 온도에 따른 드레인-소오스 전류(I_{ds})의 변화를 도시한 것이고, 도 2b는 온도에 따른 임계전압(V_t)의 변화를 도시한 것이다. 도 2에서 S-PMOS는 표면 채널 PMOS 트랜지스터를, B-PMOS는 매입 채널 PMOS 트랜지스터를 각각 표시한다. 도 2에 도시되어 있는 바와 같이, 표면 채널 PMOS 트랜지스터의 경우에는 드레인-소오스 전류(I_{ds})와 임계전압(V_t)의 변화가 완만한데 반해, 매입 채널 PMOS 트랜지스터의 경우에는 온도에 따른 드레인-소오스 전류(I_{ds})와 임계전압(V_t)의 변화가 상대적으로 급격하게 변한다. 따라서 이러한 특성을 이용하여 트랜지스터의 사이즈를 적절히 조절하면, 어느 일정한 온도(이하, 이를 '기준온도'라고 함)에서 표면 채널 PMOS 트랜지스터와 매입 채널 PMOS 트랜지스터는 I_{ds} 와 V_t 이 서로 동일해진다. 그리고 이 온도를 기준으로 온도가 더 올라가면 매입 채널 PMOS 트랜지스터의 I_{ds} 와 V_t 가 표면 채널 PMOS 트랜지스터의 I_{ds} 와 V_t 에 비해 커지고, 온도가 내려가면 매입 채널 PMOS 트랜지스터의 I_{ds} 와 V_t 가 표면 채널 PMOS 트랜지스터의 I_{ds} 와 V_t 에 비해 작아진다.

이러한 매입 채널 PMOS 트랜지스터와 표면 채널 PMOS 트랜지스터의 온도 특성을 이용하여 구현된 본 발명의 일 실시예가 도 3에 도시되어 있다. 도 3에 도시되어 있는 바와 같이, 온도 검출 장치(300)는 제1 전원 검출부(302)와 제2 전원 검출부(304)와 신호 비교부(306)와 제어부(308)와 래치부(310)로 이루어져 있다. 외부로부터 인가되는 인에이블 신호(enb)는 제1 전원 검출부(302)와 제2 전원 검출부(304)와 제어부(308)를 인에이블시킨다. 외부 인에이블 신호(enb)가 인가되면 제1 전원 검출부(302)는 현재 온도에서의 표면 채널 PMOS 트랜지스터의 임계전압을 검출하여 출력신호(V_{sp})로서 신호 비교부(306)로 제공하고, 제2 전원 검출부(304)는 현재 온도에서의 매입 채널 PMOS 트랜지스터의 임계전압을 검출하여 출력신호(V_{bp})로서 신호 비교부(306)로 제공한다. 한편 제어부(308)는 외부 인에이블 신호(enb)가 인가되면 바로 래치부(310)를 리셋시키는 리셋 신호(enbp)를 생성하여 래치부(310)로 제공하고, 그 후에 신호 비교부(306)를 인에이블시키는 인에이블 신호(en)를 생성하여 신호 비교부(306)로 제공한다. 신호 비교부(306)는 제어부(308)로부터의 인에이블 신호(en)의 인가에 의하여 인에이블되어서, 제1 전원 검출부(302)로부터의 출력 전압(V_{sp})과 제2 전원 검출부(304)로부터의 출력 전압(V_{bp})을 비교하고, 비교 결과에 따라 출력 신호(sense)를 생성하여 래치부(310)로 제공한다. 래치부(310)는 신호 비교부(306)의 출력 신호(sense)를 래치하고, 온도 검출 신호(temp_det)를 출력한다.

도 4는 도 3의 제1 전원 검출부의 일 예의 회로도이다. 도 4에 도시되어 있는 바와 같이, 제1 전원 검출부(302)는 외부 인에이블 신호(enb)에 의해 제어되는 PMOS 트랜지스터(P1)와, 게이트와 드레인이 연결되어 다이오드와 같이 동작하는 표면 채널 PMOS 트랜지스터(P2)와, 저항(R1)으로 이루어져 있다. 도 4에서, PMOS 트랜지스터(P1)의 소오스에는 전원 전압(VDD)이 인가되며, 게이트에는 외부 인에이블 신호(enb)가 인가되고, 드레인은 PMOS 트랜지스터(P2)의 소오스에 연결되어 있다. PMOS 트랜지스터(P2)는 소오스가 PMOS 트랜지스터(P1)의 드레인에 연결되며, 게이트가 자신의 드레인에 연결되고, 드레인이 저항(R1)과 연결되어 있다. PMOS 트랜지스터(P2)로는 표면 채널 PMOS 트랜지스터를 사용하고, 그 드레인은 제1 전원 검출부(302)의 출력단을 구성한다. 저항(R1)은 PMOS 트랜지스터(P2)의 드레인과 접지(VSS) 사이에 연결되어 있다.

도 4에서, PMOS 트랜지스터(P1)는 외부 인에이블 신호(enb)에 의해 제어되는 스위치로서 동작한다. 즉, 외부 인에이블 신호(enb)가 하이 레벨이면 노드(n5)와 전원단자(VDD) 사이를 끊어주며, 로우 레벨이면 노드(n5)가 전원 단자(VDD)에 연결되도록 한다. 따라서 외부 인에이블 신호(enb)가 로우 레벨이면 전원 전압(VDD)이 PMOS 트랜지스터(P2)의 소오스에 제공된다. PMOS 트랜지스터(P2)는 애노우드가 노드(n5)에 연결되어 있고, 캐소우드가 저항(R1)에 연결되어 있는 다이오드와 같이 동작한다. 외부 인에이블 신호(enb)가 로우 레벨이어서 전원 전압(VDD)이 PMOS 트랜지스터(P2)의 소오스에 제공되면, PMOS 트랜지스터(P2)는 턴온 상태로 되어 전원 전압(VDD)으로부터 PMOS 트랜지스터(P2)의 임계전압만큼 강화된 전압이 출력전압(Vsp)으로서 출력된다. 저항(R1)은 PMOS 트랜지스터(P1, P2)를 경유하여 흐르는 전류로써 일정한 전압 레벨을 만드는 역할을 한다.

도 5는 도 3의 제2 전원 검출부의 일 예의 회로도이다. 도 5에 도시되어 있는 바와 같이, 제2 전원 검출부(304)는 외부 인에이블 신호(enb)에 의해 제어되는 PMOS 트랜지스터(P3)와, 게이트와 드레인이 연결되어 다이오드와 같이 동작하는 매입 채널 PMOS 트랜지스터(P4)와, 저항(R2)으로 이루어져 있다. 도 5에서, PMOS 트랜지스터(P3)의 소오스에는 전원 전압(VDD)이 인가되며, 게이트에는 외부 인에이블 신호(enb)가 인가되고, 드레인은 PMOS 트랜지스터(P4)의 소오스에 연결되어 있다. PMOS 트랜지스터(P4)는 소오스가 PMOS 트랜지스터(P3)의 드레인에 연결되며, 게이트가 자신의 드레인에 연결되고, 드레인이 저항(R2)에 연결되어 있다. PMOS 트랜지스터(P4)로는 매입 채널 PMOS 트랜지스터를 사용하고, 그 드레인은 제2 전원 검출부(304)의 출력단을 구성한다. 저항(R2)은 PMOS 트랜지스터(P3, P4)의 드레인과 접지(VSS) 사이에 연결되어 있다.

도 5에서, PMOS 트랜지스터(P3)는 외부 인에이블 신호(enb)에 의해 제어되는 스위치로서 동작한다. 즉, 외부 인에이블 신호(enb)가 하이 레벨이면 노드(n6)와 전원단자(VDD) 사이를 끊어주며, 로우 레벨이면 노드(n6)가 전원 단자(VDD)에 연결되도록 한다. 따라서 외부 인에이블 신호(enb)가 로우 레벨이면 전원 전압(VDD)이 PMOS 트랜지스터(P4)의 소오스에 제공된다. PMOS 트랜지스터(P4)는 애노우드가 노드(n6)에 연결되어 있고, 캐소우드가 저항(R2)에 연결되어 있는 다이오드와 같이 동작한다. 외부 인에이블 신호(enb)가 로우 레벨이어서 전원 전압(VDD)이 PMOS 트랜지스터(P4)의 소오스에 제공되면, PMOS 트랜지스터(P4)는 턴온 상태로 되어 전원 전압(VDD)으로부터 PMOS 트랜지스터(P4)의 임계전압만큼 강화된 전압이 출력 전압(Vbp)으로서 출력된다. 저항(R2)은 PMOS 트랜지스터(P1, P2)를 경유하여 흐르는 전류로써 일정한 전압 레벨을 만드는 역할을 한다.

전술한 바와 같이, 매입 채널 PMOS 트랜지스터(P4)는 현재 온도가 기준온도보다 높을 때 표면 채널 PMOS 트랜지스터(도 4의 P2)보다 더 높은 임계전압을 갖는다. 따라서 제2 전압 검출부(304)의 출력신호(Vbp)는 제1 전압 검출부(302)의 출력신호(Vsp)보다 상대적으로 낮은 전압을 가진다. 반대로 현재 온도가 기준온도보다 낮을 때는 출력신호(Vbp)는 출력신호(Vsp)보다 상대적으로 높은 전압을 가진다. 이러한 출력신호 사이의 전압차는 신호 비교부(306)에서 판정되게 된다.

도 6은 도 3의 제어부의 일 예의 회로도이다. 제어부(308)는 외부 인에이블 신호(enb)를 인가 받은 후, 바로 래치부(도 3의 310)를 리셋시키는 리셋 신호(enbp)를 생성하여 래치부(310)로 제공하고, 다음에 신호 비교부(도 3의 306)를 인에이블시키는 인에이블 신호(en)를 생성하여 신호 비교부(306)로 제공하는 역할을 한다. 도 6에서, 인버터(Inv1)는 외부 인에이블 신호(enb)를 반전시켜서 신호(n1)를 생성하고, 이를 NAND 게이트(Nand1)와 지연소자(DL)와 NAND 게이트(Nand2)로 제공한다. 지연소자(DL)는 인버터(Inv1)로부터 인가된 신호(n1)를 소정 시간 지연시켜서 신호(n2)를 생성하고, 이를 인버터(Inv2)와 NAND 게이트(Nand2)로 제공한다. 인버터(Inv2)는 신호(n2)를 반전시켜서 신호(n3)를 생성하고, 이를 NAND 게이트(Nand1)의 다른 입력으로 제공한다. NAND 게이트(Nand1)는 신호(n1)와 신호(n3)를 수신하고, 이 두 신호에 대해 NAND 연산을 수행하여 리셋 신호(enbp)를 생성한다. 그리고 NAND 게이트(Nand2)는 신호(n1)와 신호(n2)를 수신하고, 이 두 신호에 대해 NAND 연산을 수행하여 신호(n4)를 생성한다. 인버터(Inv3)는 신호(n4)를 수신하고, 이를 반전시켜서 인에이블 신호(en)를 생성한다.

도 7은 도 6의 제어부의 신호 파형도이다. 도 7에 도시되어 있는 바와 같이, 제어부(308)는 외부 인에이블 신호(enb)를 수신하면 바로 래치부(도 3의 310)를 리셋시키는 리셋 신호(enbp)를 생성하고, 다음에 신호 비교부(도 3의 306)를 인에이블시키는 인에이블 신호(en)를 생성한다. 도 7에는 이해의 편의를 위하여 제어부(308) 내부에서 이용되는 신호(n1, n2, n3, n4)의 파형까지도 도시하고 있다.

도 8은 도 3의 신호 비교부의 일 예의 회로도이다. 도 8에 도시되어 있는 바와 같이, 신호 비교부(306)는 PMOS 전류미러(current mirror)로 된 능동부하를 이용한 CMOS 차동 증폭기로 구현될 수 있다. 이러한 차동 증폭기(306)는 차동 입력전압을 단일(single-ended) 출력전압(n8)으로 변환시킨다. 도 8에서 제2 전압 검출부(도 3의 304)의 출력신호(Vbp)는 NMOS 트랜지스터(N2)로 인가되고, 제1 전압 검출부(도 3의 302)의 출력신호(Vsp)는 NMOS 트랜지스터(N3)로 인가된다. 그리고 외부 인에이블 신호(en)는 NMOS 트랜지스터(N1)의 게이트에 인가되며, 신호 비교부(306)는 외부 인에이블 신호(en)가 하이 레벨일 때 인에이블된다.

전술한 바와 같이, 현재 온도가 기준온도보다 높아서 매입 채널 PMOS 트랜지스터의 임계전압이 표면 채널 PMOS 트랜지스터의 임계전압보다 높아지면 제2 전압 검출부(304)의 출력신호(Vbp)는 제1 전압 검출부(Vsp)보다 작아진다. 이러한 출력신호(Vbp, Vsp)가 신호 비교부(306)에서 각각 NMOS 트랜지스터(n2), NMOS 트랜지스터(n3)에 인가되면 신호 비교부(306)는 일반적인 차동 증폭기의 동작에 의하여 신호(n8)로서 로우 레벨의 신호를 출력한다. 로우 레벨의 신호(n8)는 인버터(Inv4)에 의해 반전되어 하이 레벨의 신호(sense)를 출력한다. 반면 현재 온도가 기준온도보다 낮으면 로우 레벨의 신호(sense)가 출력된다. 신호 비교부(306)는 전원 검출부(302, 304)의 두 출력신호(Vsp, Vbp) 사이의 전압차를 증폭하면서, 이 두 출력신호(Vsp, Vbp)의 크기를 비교하여 출력신호(sense)를 생성한다.

도 9는 도 3의 래치부의 일 예의 회로도이다. 도 9에 도시되어 있는 바와 같이, 래치부(310)는 PMOS 트랜지스터(P7)와 NMOS 트랜지스터(N4)와 래치회로(902)로 이루어져 있다. PMOS 트랜지스터(P7)의 소오스에는 전원 전압(VDD)이 공급되며, 게이트에는 제어부(308)로부터 생성된 리셋 신호(enbp)가 인가되고, 드레인 노드(lch)에 연결되어 있다. NMOS 트랜지스터(N4)의 드레인 노드(lch)에 연결되어 있고, 게이트에는 신호 비교부(306)의 출력신호(sense)가 인가되며, 소오스에는 접지 전압(VSS)이 인가된다. 래치회로(902)는 출력단자가 상대방의 입력단자에 연결된 2개의 인버터(Inv5, Inv6)로 이루어진다.

외부 인에이블 신호(enb)가 수신된 직후 제어부(308)가 로우 레벨을 갖는 리셋 신호(enbp)를 생성하여 PMOS 트랜지스터(P7)로 제공하면, PMOS 트랜지스터(P7)는 턴온 되어 노드(lch)는 하이 레벨로 리셋된다. 리셋 신호(enbp)에 이어서 생성된 인에이블 신호(en)가 제어부(308)로부터 신호 비교부(306)로 인가되면, 신호 비교부(306)는 전원 검출부(302, 304)의 두 출력신호(Vsp, Vbp)를 비교하여 신호(sense)를 생성하고, 이를 래치부(310)로 제공한다. 신호 비교부(306)의 출력신호(sense)가 하이 레벨이면 NMOS 트랜지스터(N4)는 턴온 되어 노드(lch)는 로우 레벨로 되고, 출력신호(sense)가 로우 레벨이면 NMOS 트랜지스터(N4)가 턴온 되지 않으므로 노드(lch)는 하이 레벨을 유지한다. 노드(lch)에 인가되는 신호는 래치회로(902)에 래치되며, 인버터(Inv5)에 의해 반전되어 신호(temp_det)를 생성한다.

이하에서는 도 3 내지 도 9를 참조하여, 본 발명의 동작을 설명한다. 먼저 로우 레벨의 외부 인에이블 신호(enb)가 제1 전원 검출부(302)와 제2 전원 검출부(304)와 제어부(308)로 인가되면, 제1 및 제2 전원 검출부(302, 304)는 인에이블 되어 각각 표면 채널 PMOS 트랜지스터(P2)와 매입 채널 PMOS 트랜지스터(P4)의 임계전압을 검출하여 신호(Vsp, Vbp)로 출력한다. 그리고 제어부(308)는 외부 인에이블 신호(enb)의 수신 후 바로 리셋 신호(enbp)를 생성하여 래치부(310)로 제공하여 노드(lch)를 하이 레벨로 초기화시키고, 다음에는 신호 비교부(306)를 인에이블시키는 인에이블 신호(en)를 생성하여 신호 비교부(306)로 제공한다. 전원 검출부(302, 304)에서 현재 온도가 기준온도보다 높으면 매입 채널 PMOS 트랜지스터(도 5의 P4)의 임계전압이 표면 채널 PMOS 트랜지스터(도 4의 P2)의 임계전압보다 커지므로, 제2 전원 검출부(302)의 출력신호(Vbp)는 제1 전원 검출부(304)의 출력신호(Vsp)보다 상대적으로 작아진다. 이러한 두 전원 검출부(302, 304)의 출력신호(Vsp, Vbp)는 신호 비교부(306)로 인가되면, 노드(n8)는 로우 레벨로 되고, 출력 신호(sense)는 하이 레벨로 된다. 래치부(310)에서 신호(sense)가 하이 레벨이면 NMOS 트랜지스터(N4)가 턴온 되므로 노드(lch)는 로우 레벨로 되고, 인버터(Inv5)에 의해 하이 레벨의 신호(temp_det)를 출력한다. 이와는 반대로 현재 온도가 기준온도보다 낮으면 로우 레벨의 신호(temp_det)가 출력된다.

도 10은 도 3에 도시된 회로의 온도 변화에 따른 출력신호를 도시한 신호 파형도로서, 도 10a는 -40℃~90℃의 경우이고, 도 10b는 20℃~30℃의 경우이다. 로우 레벨의 외부 인에이블 신호(enb)가 시간(t1)에 수신되면 리셋 신호(enbp)가 생성되어 신호(temp_det)는 로우 레벨로 된다. 그리고 시간(t2)에서 하이 레벨의 인에이블 신호(en)가 생성된다. 도 10a를 참조하면, 신호(temp_det)는 시간(t1)에서 리셋된 후 온도 -40℃~20℃에서는 로우 레벨의 신호를 유지하고 있고, 30℃~90℃에서는 하이 레벨로 바뀐다. 신호(temp_det)는 시간(t1)에서 리셋된 후 온도 20℃~28℃에서는 로우 레벨의 신호를 유지하고 있고, 29℃~30℃에서는 하이 레벨로 바뀐다. 전술한 바와 같이, 신호(temp_det)가 하이 레벨로 바뀌면 현재 온도가 기준온도보다 높을 때이고 신호(temp_det)가 로우 레벨을 유지하면 현재 온도가 기준온도보다 낮을 때이다. 따라서 도 10a로부터 현재 온도가 20℃와 30℃ 사이에 있고, 도 10b로부터 28℃와 29℃ 사이에 있음을 알 수 있다.

여기서 설명된 실시예들은 본 발명을 당업자가 용이하게 이해하고 실시할 수 있도록 하기 위한 것일 뿐이며, 본 발명의 범위를 한정하려는 것은 아니다. 따라서 당업자들은 본 발명의 범위 안에서 다양한 변형이나 변경이 가능함을 주목하여야 한다. 본 발명의 범위는 원칙적으로 후술하는 특허청구범위에 의하여 정하여진다.

발명의 효과

이와 같은 본 발명의 구성에 의하면, 반도체 소자의 특성을 이용하여 온도를 검출할 수 있게 된다. 또한 본 발명에 의하면 반도체 장치에 일체화될 수 있는 온도 검출 장치를 구현할 수 있다. 또한 DRAM에서 셀프 리프레쉬 주기를 조절할 수 있게 됨으로 DRAM의 셀프 리프레쉬 모드에서 소비되는 전력을 저감시킬 수 있다. 또한 온도에 따라 지연이 변하지 않아야 하는 기준 펄스를 생성할 때도 이 온도 검출 장치를 사용하여 기준온도에 따른 지연값을 가변할 수 있도록 하면, 지연 생성 회로의 오차 범위를 줄일 수 있다. 또한 데이터 출력 버퍼에 응용하면 온도에 따라 트랜지스터의 구동 능력이 상이한 것을 이용하여 전류 소모를 줄일 수 있으며, 이에 따라 데이터 출력 버퍼를 구동할 때 생기는 잡음을 줄이고, 칩의 직류 데이터를 좋은 방향으로 가져갈 수 있게 된다.

(57) 청구의 범위

청구항 1.

반도체 소자의 온도 특성을 이용한 온도 검출 장치에 있어서,

표면 채널(surface channel) PMOS 트랜지스터의 임계 전압을 검출하는 제1 전원 검출부와,

매입(埋入) 채널(buried channel) PMOS 트랜지스터의 임계 전압을 검출하는 제2 전원 검출부와,

상기 제1 전원 검출부의 출력신호와 상기 제2 전원 검출부의 출력신호의 크기를 비교하는 신호 비교부를

포함하는 것을 특징으로 하는 온도 검출 장치.

청구항 2.

제 1 항에 있어서,

상기 제1 전원 검출부는

표면 채널 PMOS 트랜지스터로 구성된 제1 다이오드와,

외부로부터 인가되는 인에이블 신호에 의해 제어되어 전원전압을 상기 제1 다이오드의 애노드로 제공하는 제1 스위치와,

상기 제1 다이오드의 캐소드와 접지 사이에 연결되는 제1 저항을

구비하며,

상기 제1 전원 검출부의 출력신호는 상기 제1 다이오드의 캐소드의 전압신호인 것을 특징으로 하는 온도 검출 장치

청구항 3.

제 2 항에 있어서,

상기 제1 다이오드는 소오스가 상기 제1 스위치에 연결되고, 게이트와 드레인이 연결되며, 드레인은 상기 제1 저항에 연결되는 표면 채널 PMOS 트랜지스터인 것을 특징으로 하는 온도 검출 장치.

청구항 4.

제 2 항에 있어서,

상기 제1 스위치는 소오스가 전원단자에 연결되어 있고, 게이트에 상기 외부 인에이블 신호가 입력되며, 드레인이 상기 제1 다이오드에 연결되어 있는 것을 특징으로 하는 온도 검출 장치.

청구항 5.

제 1 항에 있어서,

상기 제2 전원 검출부는

매입 채널 PMOS 트랜지스터로 구성된 제2 다이오드와,

상기 외부 인에이블 신호에 의해 제어되어 전원전압을 상기 제2 다이오드의 애노드로 제공하는 제2 스위치와,

상기 제2 다이오드의 캐소드와 접지 사이에 연결되는 제2 저항을

구비하며,

상기 제2 전원 검출부의 출력신호는 상기 제2 다이오드의 캐소드의 전압신호인 것을 특징으로 하는 온도 검출 장치

청구항 6.

제 5 항에 있어서,

상기 제2 다이오드는 소오스가 상기 제2 스위치에 연결되고, 게이트와 드레인이 연결되며, 드레인은 상기 제2 저항에 연결되는 매입 채널 PMOS 트랜지스터인 것을 특징으로 하는 온도 검출 장치.

청구항 7.

제 5 항에 있어서,

상기 제2 스위치는 소오스가 전원단자에 연결되어 있고, 게이트에 상기 외부 인에이블 신호가 입력되며, 드레인이 상기 제2 다이오드에 연결되어 있는 것을 특징으로 하는 온도 검출 장치.

청구항 8.

제 1 항에 있어서,

상기 신호 비교부는 상기 제1 전원 검출부의 출력신호와 상기 제2 전원 검출부의 출력신호를 증폭하면서, 이 두 출력 신호의 크기를 비교하는 것을 특징으로 하는 온도 검출 장치.

청구항 9.

제 1 항에 있어서,

상기 신호 비교부의 출력신호를 래치하는 신호 래치부를 더 구비하는 것을 특징으로 하는 온도 검출 장치.

청구항 10.

제 9 항에 있어서,

상기 외부 인에이블 신호의 활성화 구간의 초반부에 상기 신호 래치부를 리셋시키는 리셋 신호와, 후반부에 상기 신호 비교부를 인에이블시키는 비교부 인에이블 신호를 생성하는 제어부를 더 구비하는 것을 특징으로 하는 온도 검출 장치.

청구항 11.

제 10 항에 있어서,

상기 제어부는

상기 외부 인에이블 신호를 반전시키는 제1 인버터와,

상기 제1 인버터의 출력신호를 소정 시간 지연시키는 지연소자와,

상기 지연소자의 출력신호를 반전시키는 제2 인버터와,

상기 제1 및 제2 인버터의 출력신호에 대해 NAND 연산을 수행하여 상기 리셋신호를 생성하는 제1 NAND 게이트와,

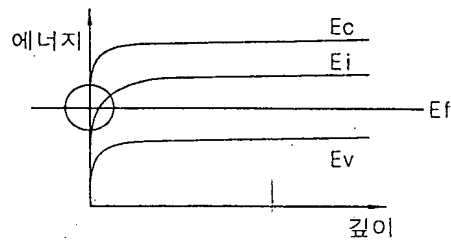
상기 제1 인버터의 출력신호와 상기 지연소자의 출력신호에 대해 NAND 연산을 수행하는 제2 NAND 게이트와,

상기 제2 NAND 게이트의 출력신호를 반전시켜서 상기 비교부 인에이블 신호를 생성하는 제3 인버터를

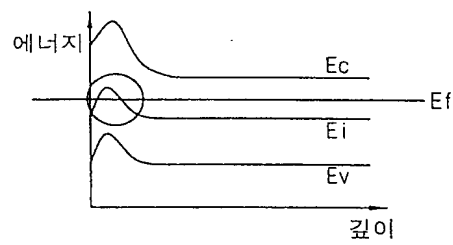
구비하는 것을 특징으로 하는 온도 검출 장치.

도면

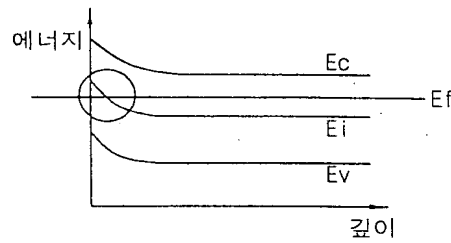
도면1a



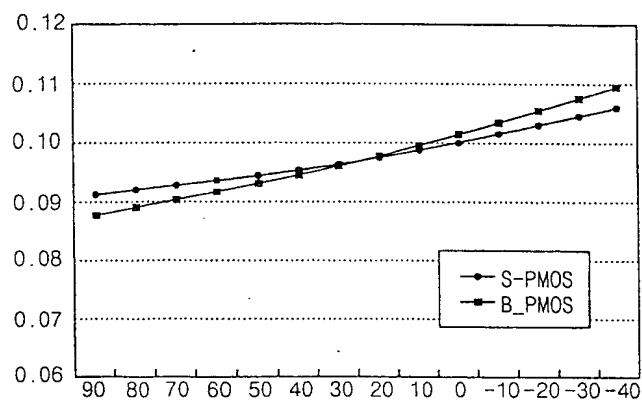
도면1b



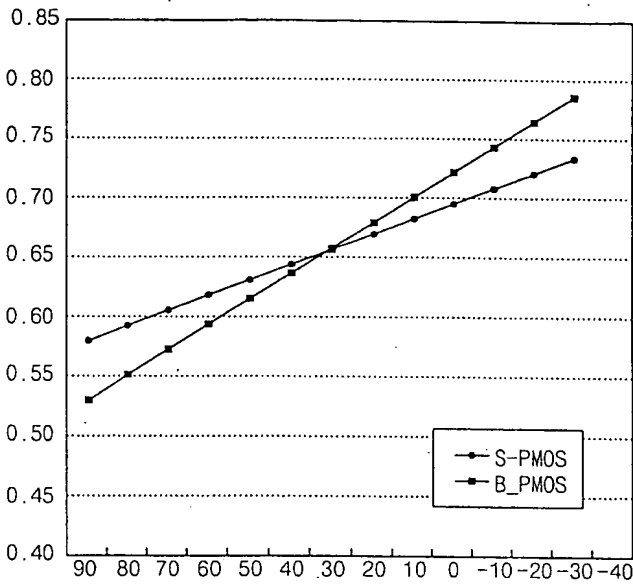
도면1c



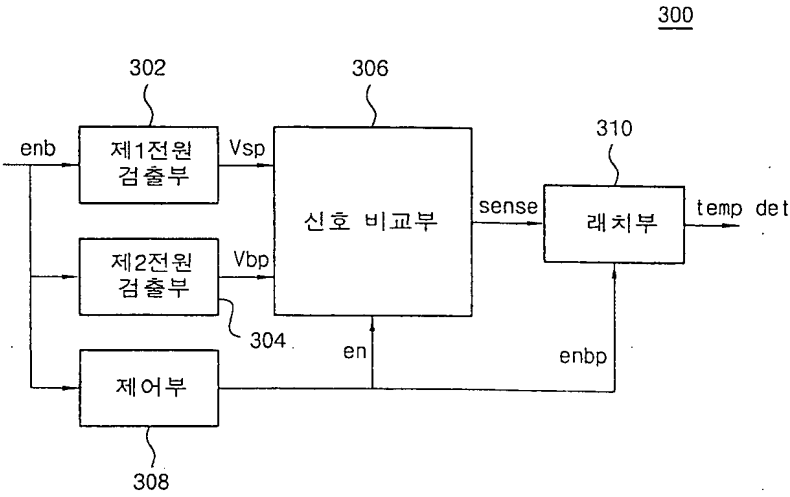
도면2a



도면2b

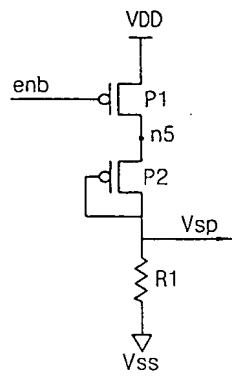


도면3



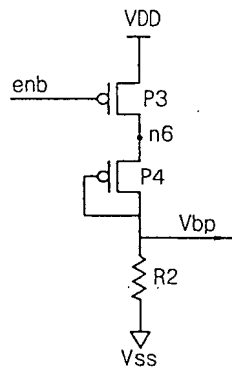
도면4

302



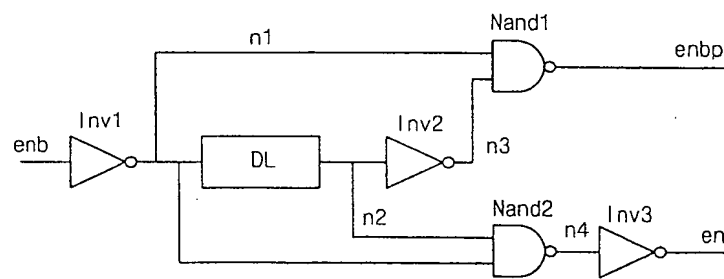
도면5

304

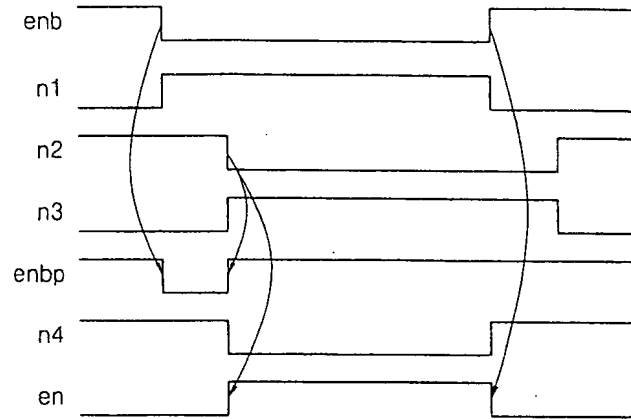


도면6

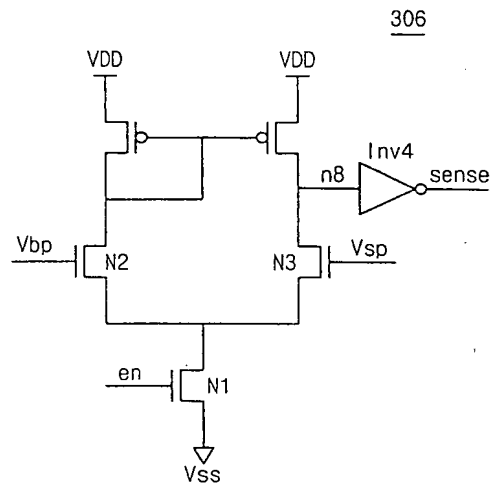
308



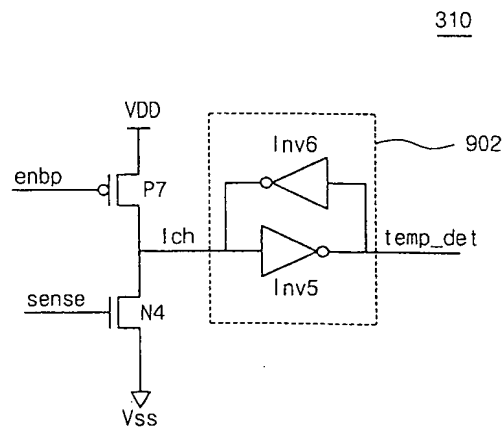
도면7



도면8

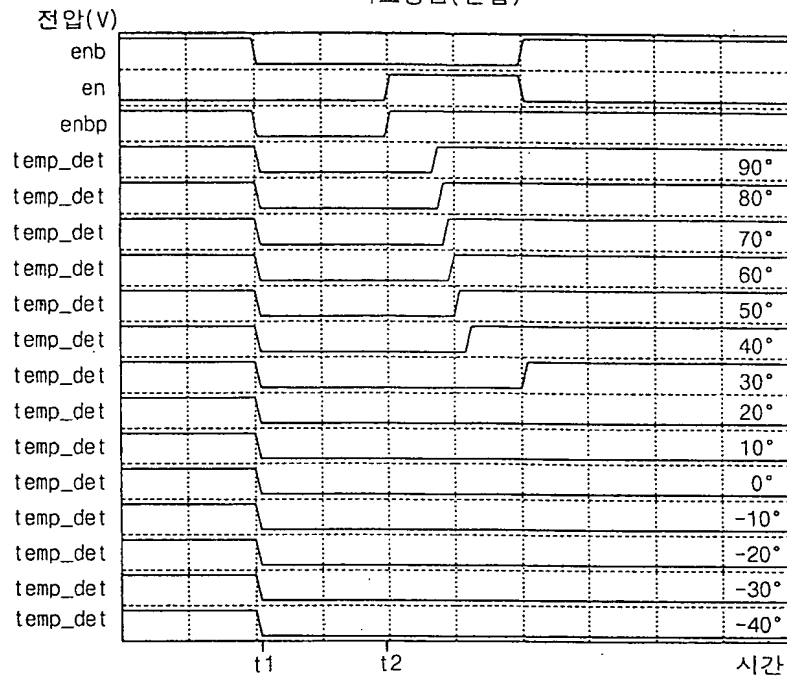


도면9



도면10a

과도응답(전압)



도면10b

과도응답(전압)

